

#3/Priority
Paper
3/8/00
ry

PATENT
005702-20053

Express Mail Label No. EL 438 938 155 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Seiichi MORI

Serial No: Not assigned

Filed: December 8, 1999

For: NON-VOLATILE SEMICONDUCTOR
MEMORY DEVICE

Art Unit: Not assigned

Examiner: Not assigned

JC564 U.S. PTO
09/456873
12/08/99

TRANSMITTAL OF PRIORITY DOCUMENT

Box PATENT APPLICATION
Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

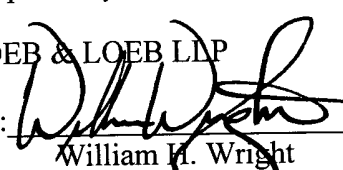
Enclosed herewith is a certified copy of Japanese patent application No. 10-350232 which was filed December 9, 1998, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

LOEB & LOEB LLP

By:


William H. Wright
Registration No. 36,312
Attorney for Applicant(s)

Date: December 8, 1999

10100 Santa Monica Blvd., 22nd Floor
Los Angeles, California 90067-4164
Telephone: 310-282-2000
Facsimile: 310-282-2192

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC564 U.S. PIO
09/456873
12/08/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1998年12月 9日

出 願 番 号

Application Number:

平成10年特許願第350232号

出 願 人

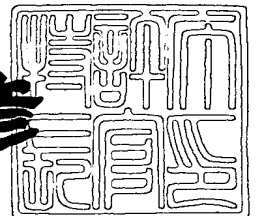
Applicant (s):

株式会社東芝

1999年10月29日

特 許 庁 官
Commissioner
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3073745

【書類名】 特許願

【整理番号】 98P6020

【提出日】 平成10年12月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/00

【発明の名称】 不揮発性半導体記憶装置

【請求項の数】 12

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
 横浜事業所内

 【氏名】 森 誠一

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100092820

 【弁理士】

 【氏名又は名称】 伊丹 勝

 【電話番号】 03-3254-0171

【手数料の表示】

 【予納台帳番号】 026893

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9810498

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 半導体基板と、この半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートとを有するメモリセルを用いた不揮発性半導体記憶装置において、

前記層間絶縁膜は、

前記浮遊ゲートに接するシリコン酸化膜と、

このシリコン酸化膜上に減圧 CVD 法により形成された第 1 のシリコン窒化膜と、

この第 1 のシリコン窒化膜上に形成された第 1 のシリコン窒化膜よりトラップ密度の低い第 2 のシリコン窒化膜とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記第 2 のシリコン窒化膜は、少なくともシラン系ガスと窒素を含むガスをプラズマ分解して得られる活性な Si と N とを基板面に搬送することにより堆積されたものである

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記第 1 のシリコン窒化膜は水素含有量が $10^{21}/\text{cm}^3$ 以上であり、前記第 2 のシリコン窒化膜は水素含有量が $10^{19}/\text{cm}^3$ 以下であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 半導体基板と、この半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートとを有するメモリセルを用いた不揮発性半導体記憶装置において、

前記層間絶縁膜は、

前記浮遊ゲートに接するシリコン酸化膜と、

このシリコン酸化膜上に堆積された、減圧 CVD 法によるシリコン窒化膜よりトラップ密度の低いシリコン窒化膜とを有する

ことを特徴とする不揮発性半導体記憶装置。

【請求項 5】 半導体基板と、この半導体基板上にトンネル絶縁膜を介して

形成された浮遊ゲートと、この浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートとを有するメモリセルを用いた不揮発性半導体記憶装置において、

前記層間絶縁膜は、

前記浮遊ゲートに接するシリコン酸化膜と、

このシリコン酸化膜上に堆積された、水素含有量が $10^{19}/\text{cm}^3$ 以下であるシリコン窒化膜とを有する

ことを特徴とする不揮発性半導体記憶装置。

【請求項 6】 前記シリコン窒化膜は、少なくともシラン系ガスと窒素を含むガスをプラズマ分解して得られる活性な Si と N とを基板面に搬送することにより堆積されたものである

ことを特徴とする請求項 4 又は 5 に記載の不揮発性半導体記憶装置。

【請求項 7】 半導体基板と、この半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートとを有するメモリセルを用いた不揮発性半導体記憶装置において、

前記層間絶縁膜は、

前記浮遊ゲート及び制御ゲートの少なくとも一方に接する層として、減圧 CVD 法によるシリコン窒化膜よりトラップ密度の低いシリコン窒化膜を有することを特徴とする不揮発性半導体記憶装置。

【請求項 8】 半導体基板と、この半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートとを有するメモリセルを用いた不揮発性半導体記憶装置において、

前記層間絶縁膜は、

前記浮遊ゲート及び制御ゲートの少なくとも一方に接する層として、水素含有量が $10^{19}/\text{cm}^3$ 以下であるシリコン窒化膜を有することを特徴とする不揮発性半導体記憶装置。

【請求項 9】 前記シリコン窒化膜は、少なくともシラン系ガスと窒素を含むガスをプラズマ分解して得られる活性な Si と N とを基板面に搬送することにより堆積されたものである

ことを特徴とする請求項 7 又は 8 に記載の不揮発性半導体記憶装置。

【請求項 10】 前記シリコン窒化膜は、前記浮遊ゲート及び制御ゲートの双方に接して二層設けられ、これら二層の間にシリコン酸化膜を介在させたことを特徴とする請求項 7 又は 8 に記載の不揮発性半導体記憶装置。

【請求項 11】 前記シリコン窒化膜は、前記浮遊ゲート及び制御ゲートの双方に接して二層設けられ、これら二層の間にシリコン酸化膜と減圧 CVD 法によるシリコン窒化膜の積層膜を介在させたことを特徴とする請求項 7 又は 8 に記載の不揮発性半導体記憶装置。

【請求項 12】 前記シリコン窒化膜は、前記浮遊ゲートに接する側にのみ設けられ、この上にシリコン酸化膜、減圧 CVD 法によるシリコン窒化膜及びシリコン酸化膜の積層膜が形成されていることを特徴とする請求項 7 又は 8 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、積層ゲート構造のメモリセルを有する不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

従来より、不揮発性半導体記憶装置として、半導体基板上にトンネル絶縁膜を介して浮遊ゲートを形成し、この上に層間絶縁膜を介して制御ゲートを積層したメモリセル構造を用いたものが知られている。このメモリセルの層間絶縁膜としては通常、シリコン酸化膜／シリコン窒化膜／シリコン酸化膜のいわゆる ONO (Oxide-Nitride-Oxide) 構造が用いられる。

図 4 (a), (b) は、このようなメモリセル構造の直交 2 方向の断面を示している。通常フラッシュメモリでは、複数のメモリセルの制御ゲートが連続的に配設されてワード線となり、図 4 (a) はそのワード線方向に平行な方向の断面である。

【0003】

p 型シリコン基板 1 には素子分離絶縁膜 2 が形成され、この素子分離絶縁膜 2

で囲まれた素子領域にトンネル絶縁膜 3 を介して浮遊ゲート 4 が形成される。この浮遊ゲート 4 上に層間絶縁膜として、シリコン酸化膜 5 a、シリコン窒化膜 5 b 及びシリコン酸化膜 5 c が積層された ONO 膜 5 が形成され、更にこの上に制御ゲート 6 が形成されている。制御ゲート 6 に自己整合的にソース、ドレイン拡散層 7, 8 が形成される。

【0004】

ONO 膜 5 は、メモリセルの書き込み動作中にリークにより浮遊ゲート 4 の蓄積電荷が抜けるのを防止する働きをすると共に、長期間にわたって浮遊ゲート 4 に電荷を閉じ込めておく必要があるため、高い絶縁性が要求される。通常のフラッシュメモリでは浮遊ゲートに電子を保持しているが、電子保持状態では、その電子により発生する比較的弱い電界（自己電界）が ONO 膜 5 に印加された状態となる。

【0005】

ONO 膜 5 の浮遊ゲート 4 側のシリコン酸化膜 5 a は、膜厚が 5 ~ 6 nm あれば、Fowler-Nordheim 型のトンネル電流電導機構を示し、低電界で流れる電流は極めて小さい。またシリコン酸化膜 5 a のシリコンに対するバリアハイトも 3.2 eV と高い。従って、シリコン酸化膜 5 a に欠陥がなく、また浮遊ゲート 4 の二次元形状による電界集中効果がなければ、このシリコン酸化膜 5 a だけで浮遊ゲート 4 の電子を十分長期間保持することができるはずである。しかし実際には、欠陥や二次元電界集中効果があるために、ONO 膜が用いられている。

【0006】

二次元電界集中効果とは、例えば図 4 (a) に破線 A で示すような、浮遊ゲート 4 をパターン形成して得られるエッジ部分での電界集中が代表的なものである。またシリコン酸化膜 5 a を熱酸化により形成した場合の浮遊ゲート 4 の表面にできる凹凸による電界集中もある。ONO 膜 5 のシリコン窒化膜 5 b は、多くのトラップ準位を含み、電界集中により電流が流れてもトラッピングが生じて電界を緩和する働きをして、浮遊ゲートを取り囲む酸化膜 5 a からの電荷のリークを抑制する。酸化膜 5 a に欠陥がある場合も同様の機構が働く。これがシリコン窒化膜 5 b を用いている理由である。

【0007】

ところで、メモリセルの動作時や浮遊ゲートが電子を保持している状態では、制御ゲート6側に正のバイアスがかかった状態となる。シリコン窒化膜はそのトラップ準位を介してホール伝導によって大きなリーク電流が流れることが知られている。従って、シリコン窒化膜5b上に直接制御ゲート6を形成したとすると、制御ゲート6からホールが注入されるため、絶縁耐性が十分に保てない。この制御ゲート6からのホール注入を抑制するために、上側のシリコン酸化膜5cが設けられているのである。

【0008】

上述した電界緩和やリーク防止の機能を発揮するために、ONO膜5では、上下のシリコン酸化膜5a、5cに5~6nmの膜厚が必要となる。シリコン窒化膜5bは、10nm（酸化膜換算で5nm）程度である。従って、ONO膜5は実効酸化膜厚で15~16nmとなる。

【0009】

【発明が解決しようとする課題】

上述したONO構造の層間絶縁膜には、次のような問題があった。

第1に、メモリセルの低電圧での動作を可能とするためには、制御ゲートと浮遊ゲートの結合容量が大きいことが望ましく、そのためにはONO膜はできるだけ薄いことが望ましい。各膜厚を限界まで薄くすれば、トータルで酸化膜換算14nm程度までは薄くできるが、しかしこれ以上の薄膜化は困難になってきている。

第2に、ONO膜では、ゲート加工後に後酸化工程で、図4（b）に示すように、浮遊ゲート4と制御ゲート6の間に側面からバースピークBが侵入する。このバースピークは、制御ゲート6と浮遊ゲート4の結合容量を低下させる。特に、浮遊ゲート直上のシリコン酸化膜5aをCVDにより形成した場合には、熱酸化膜に比べて緻密性が劣るために、膜中の酸素の拡散が速く、大きなバースピークが入ってしまう。低いプロセス温度で良質のシリコン酸化膜を得ようとする場合、熱酸化よりもCVDによるシリコン酸化膜が用いられる場合があるので、特にこの様な場合にバースピークの侵入が問題となる。

【0010】

この発明は、上記事情を考慮してなされたもので、電界緩和効果とリーク防止機能を確保しながら、制御ゲートと浮遊ゲートの間の大きな結合容量をも確保できるようにした層間絶縁膜を持つ不揮発性半導体記憶装置を提供することを目的としている。

【0011】

【課題を解決するための手段】

この発明に係る第1の不揮発性半導体記憶装置は、半導体基板と、この半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートとを有するメモリセルを用いた不揮発性半導体記憶装置において、前記層間絶縁膜は、前記浮遊ゲートに接するシリコン酸化膜と、このシリコン酸化膜上に減圧CVD法により形成された第1のシリコン窒化膜と、この第1のシリコン窒化膜上に形成された第1のシリコン窒化膜よりトラップ密度の低い第2のシリコン窒化膜とを有することを特徴とする。

【0012】

第1の不揮発性半導体記憶装置において、好ましくは、前記第2のシリコン窒化膜は、少なくともシラン系ガスと窒素を含むガスをプラズマ分解して得られる活性なSiとNとを基板面に搬送することにより堆積されたものとする。

また、第1の不揮発性半導体記憶装置において、好ましくは、前記第1のシリコン窒化膜は水素含有量が $10^{21}/\text{cm}^3$ 以上であり、前記第2のシリコン窒化膜は水素含有量が $10^{19}/\text{cm}^3$ 以下であるものとする。

【0013】

この発明に係る第2の不揮発性半導体記憶装置は、半導体基板と、この半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートとを有するメモリセルを用いた不揮発性半導体記憶装置において、前記層間絶縁膜は、前記浮遊ゲートに接するシリコン酸化膜と、このシリコン酸化膜上に堆積された、減圧CVD法によるシリコン窒化膜よりトラップ密度の低いシリコン窒化膜とを有することを特徴とする。

【0014】

この発明に係る第3の不揮発性半導体記憶装置は、半導体基板と、この半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートとを有するメモリセルを用いた不揮発性半導体記憶装置において、前記層間絶縁膜は、前記浮遊ゲートに接するシリコン酸化膜と、このシリコン酸化膜上に堆積された、水素含有量が $10^{19}/\text{cm}^3$ 以下であるシリコン窒化膜とを有することを特徴とする。

【0015】

第2又は第3の不揮発性半導体記憶装置において、好ましくは、前記シリコン窒化膜は、少なくともシラン系ガスと窒素を含むガスをプラズマ分解して得られる活性なSiとNとを基板面に搬送することにより堆積されたものであるとする。

【0016】

この発明に係る第4の不揮発性半導体記憶装置は、半導体基板と、この半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートとを有するメモリセルを用いた不揮発性半導体記憶装置において、前記層間絶縁膜は、前記浮遊ゲート及び制御ゲートの少なくとも一方に接する層として、減圧CVD法によるシリコン窒化膜よりトラップ密度の低いシリコン窒化膜を有することを特徴とする。

【0017】

この発明に係る第5の不揮発性半導体記憶装置は、半導体基板と、この半導体基板上にトンネル絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に層間絶縁膜を介して形成された制御ゲートとを有するメモリセルを用いた不揮発性半導体記憶装置において、前記層間絶縁膜は、前記浮遊ゲート及び制御ゲートの少なくとも一方に接する層として、水素含有量が $10^{19}/\text{cm}^3$ 以下であるシリコン窒化膜を有することを特徴とする。

【0018】

第4又は第5の不揮発性半導体記憶装置において、好ましくは、前記シリコン窒化膜は、少なくともシラン系ガスと窒素を含むガスをプラズマ分解して得られる活性なSiとNとを基板面に搬送することにより堆積されたものとする。

また、第4又は第5の不揮発性半導体記憶装置において、具体的には、(1) 前記シリコン窒化膜は、前記浮遊ゲート及び制御ゲートの双方に接して二層設けられ、これら二層の間にシリコン酸化膜を介在させるものとし、或いは(2) 前記シリコン窒化膜は、前記浮遊ゲート及び制御ゲートの双方に接して二層設けられ、これら二層の間にシリコン酸化膜と減圧CVD法によるシリコン窒化膜の積層膜を介在させるものとし、或いは(3) 前記シリコン窒化膜は、前記浮遊ゲートに接する側にのみ設けられ、この上にシリコン酸化膜、減圧CVD法によるシリコン窒化膜及びシリコン酸化膜の積層膜が形成されているものとする。

【0019】

この発明によると、層間絶縁膜の中に通常のLPCVD法によるシリコン窒化膜よりトラップ準位密度が十分に低いシリコン窒化膜を用いることにより、電界緩和効果及びリーク低減の効果を発揮しながら、実効酸化膜厚を従来より小さくして、制御ゲートと浮遊ゲート間の大きな結合容量を確保することが可能になる。また、制御ゲート或いは浮遊ゲートに接する層をこの様なシリコン窒化膜とすると、後酸化工程でのバースピーク侵入が抑制されるので、制御ゲートと浮遊ゲート間の大きな結合容量を確保することが可能になる。

【0020】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

実施の形態1

図1(a)(b)はこの発明の実施の形態1による不揮発性半導体記憶装置のメモリセル構造を示す直交2方向の断面図である。p型シリコン基板11に素子分離絶縁膜12が形成され、素子分離絶縁膜12で囲まれた素子領域にトンネル絶縁膜13を介して多結晶シリコン膜による浮遊ゲート14が形成されている。トンネル絶縁膜13はシリコン酸化膜である。浮遊ゲート14上には層間絶縁膜15を介して多結晶シリコン膜による制御ゲート16が積層形成されている。制御ゲート16に自己整合されて、基板にはソース、ドレイン拡散層17、18が形成されている。

【0021】

層間絶縁膜 15 は、浮遊ゲート 14 に接するシリコン酸化膜 15 a と、この上に形成された二層のシリコン窒化膜 15 b, 15 c とからなる。第 1 のシリコン窒化膜 15 b は、通常の減圧 (LP) CVD 法により形成された膜であり、第 2 のシリコン窒化膜 15 c は、JVD (Jet Vapor Deposition) 法により形成された、第 1 のシリコン窒化膜 15 b に比べてトラップ準位密度が十分に低く、低電界領域でのリーク電流が少ない膜である。

【0022】

具体的にシリコン酸化膜 15 a は、浮遊ゲート 14 を熱酸化して得られる熱酸化膜、或いは LPCVD 法によるシリコン酸化膜である。第 1 のシリコン窒化膜 15 b は、ジクロルシラン (SiH_2Cl_2) とアンモニア (NH_3) を原料ガスとした LPCVD 法により形成される。第 2 のシリコン窒化膜 15 c は、例えば He 等のキャリアガスと共に供給されるシラン系ガス (例えば SiH_4) と、窒素を含むガス (例えば N_2) とをマイクロ波電力によりプラズマ分解して活性な Si と N を生成し、これをチャンバ内に配置された基板表面に供給する JVD により堆積される。この JVD 法により、トラップ準位密度の低いシリコン窒化膜が得られることは、既に報告されている (例えば、Applied Surfaces Science 17/118(1997)259-267 参照)。

【0023】

ここで、LPCVD 法により堆積される第 1 のシリコン窒化膜 15 b の水素含有量は $10^{21}/\text{cm}^3$ 以上であるのに対し、JVD 法により堆積される第 2 のシリコン窒化膜 15 c の水素含有量は $10^{19}/\text{cm}^3$ 以下である。この水素含有量の相違が、両者のトラップ準位密度の大小と相関しており、還元すれば、水素含有量の少ない、JVD 法により堆積されたシリコン窒化膜は、トラップ準位密度が低く、低電界領域でのリーク電流が少ない。

なお、JVD 法により堆積されたシリコン窒化膜と同程度に水素含有量が少なく、トラップ準位密度が低いものが得られるのであれば、他の堆積法によるシリコン窒化膜を用いてもよい。

【0024】

次に、この様な層間絶縁膜 15 の構造を用いる理由と、各部の好ましい膜厚等

について以下に具体的に説明する。

JVD法で堆積されたシリコン窒化膜の単層膜15cでは、LPCVD法で堆積されたシリコン窒化膜ほどではないが、低電界領域でFrenkel-Poole型の電流が流れるため、これ単独では層間絶縁膜として用いることが難しい。また、シリコン窒化膜はシリコンに対するバリアハイトがシリコン酸化膜に比べて低く、浮遊ゲートからの電子放出に対する障壁として不十分である。従って、層間絶縁膜として例えば浮遊ゲート14の直上にシリコン酸化膜15aが必要である。十分な絶縁耐性を維持するには、シリコン酸化膜15aとして、5~6nm程度の膜厚を必要とする。

【0025】

LPCVD法による第1のシリコン窒化膜15bは、電界緩和効果とリーク防止のために必要である。即ち、このシリコン窒化膜15bは、トラップ密度が高く、且つFrenkel-Poole型の電気伝導特性を示す。このFrenkel-Poole型の電気伝導は高電界領域での電流は少なく、またトラップを含む膜は初期に電流が流れてもキャリアがトラップされることにより電流が流れにくくなる。このため、このシリコン窒化膜15bにより、浮遊ゲート14の二次元形状のエッジ部での電界集中によるリーク電流増大が抑制されることになる。十分な電界緩和効果を発揮するためには、このシリコン窒化膜15bの膜厚は、6nm以上であることが好ましく、また大きな結合容量を確保するためには10nm以下であることが好ましい。具体的には、8nm程度とする。

【0026】

JVD法による第2のシリコン窒化膜15cは、制御ゲート16からのホール注入を抑制する働きをする。即ち、LPCVD法によるシリコン窒化膜15bは、Frenkel-Poole型のホール電流を流し易く、これが制御ゲート6に直接接していると、前述のように制御ゲート16が正バイアスになる動作モードで制御ゲート16からのホール注入により大きなリーク電流が流れてしまう。JVD法による第2のシリコン窒化膜15cは、トラップ密度が非常に低く、制御ゲート16からのホール注入が効果的に抑制されることになる。この作用を発揮するためには、第2のシリコン窒化膜15cは、6nm以上の膜厚が好ましく、また大きな

結合容量を確保するためには 10 nm 以下にすることが好ましい。

【0027】

具体的に例えば、シリコン酸化膜 15a を 6 nm、シリコン窒化膜 15a, 15b をそれぞれ 6 nm (酸化膜換算 3 nm) として、層間絶縁膜 15 の実効酸化膜厚は 12 nm となる。従って、従来の ONO 構造を用いた場合に比べて薄膜化が可能であり、しかも十分な電界緩和効果を得ることができる。また、層間絶縁膜 15 の最上層がシリコン窒化膜 15c であるから、後酸化を行った場合のバースピークの侵入を抑制することができる。

【0028】

実施の形態 2

図 2 は、この発明の実施の形態 2 によるメモリセル構造を、図 1 (b) に対応させて示す。この実施の形態では、層間絶縁膜 15 が、浮遊ゲート 14 側から、シリコン酸化膜 15a と、JVD 法による、トラップ密度が低く且つ水素含有量 $10^{19}/\text{cm}^3$ 以下のシリコン窒化膜 15c との二層により形成されている。

【0029】

実施の形態 1 では、高電界での使用に耐え得るようするため、層間絶縁膜 15 の中央に、Frenkel-Poole 型伝導を示す LPCVD 法によるシリコン窒化膜 15b を介在させている。しかし、高い電界で動作させない場合には、このシリコン窒化膜 15b は必ずしも必要ではない。即ち、図 2 に示すように、最下層のシリコン酸化膜 15a の欠陥をブロックする目的で、シリコン酸化膜 15a と、JVD 法によるトラップ密度の低いシリコン窒化膜 15c との二層構造とすることができる。

【0030】

通常の LPCVD によるトラップの多いシリコン窒化膜の場合、シリコン酸化膜/シリコン窒化膜の二層構造のみでは、制御ゲートから多量に注入されるホールによりシリコン窒化膜を用いた効果が期待できないが、例えば JVD 法によるシリコン窒化膜を用いればそのホール伝導が殆どないため、二層構造でも十分に効果が得られる。

【0031】

実施の形態 3

後酸化による層間絶縁膜へのバースピーク侵入を防止するために、浮遊ゲートの直上（即ち層間絶縁膜の最下層）、或いは制御ゲートの直下（即ち層間絶縁膜の最上層）に、JVD法による水素含有量 $10^{19}/\text{cm}^3$ 以下のシリコン窒化膜を、3 nm 程度のごく薄い膜厚をもって介在させる。このシリコン窒化膜に通常の LPCVD 法によるトラップ密度の高い膜を用いると、膜中の電荷のトラップや放出により、メモリセルのしきい値の不安定性が生じるが、JVD法により堆積したトラップ密度の低いシリコン窒化膜を用いれば、不安定性が生じることはない。

【0032】

図3(a)～(d)は、この実施の形態3による層間絶縁膜構造のみを抽出して示している。図3(a)は、図2の層間絶縁膜15の構造に対して、浮遊ゲート14に接する層として、JVD法によるシリコン窒化膜15dを介在させた例である。制御ゲート16に接する層としても同様のシリコン窒化膜15cが設けられ、これら窒化膜15c、15dの間にシリコン酸化膜15aを挟んで層間絶縁膜15が構成される。

【0033】

図3(b)は、図1の層間絶縁膜15の構造に対して同様に、浮遊ゲート14に接する層として、JVD法によるシリコン窒化膜15dを介在させた例である。この場合も、制御ゲート16に接する層として同様のシリコン窒化膜15cが設けられ、これらの窒化膜15c、15dの間には、シリコン酸化膜15aとLPCVD法によるシリコン窒化膜15bの積層膜を介在させている。

【0034】

図3(c)は、通常のONO構造の層間絶縁膜150に対して同様に、浮遊ゲート14に接する層として、JVD法によるシリコン窒化膜15dを介在させた例である。即ち、シリコン窒化膜15dの上に更に、シリコン酸化膜、LPCVD法によるシリコン窒化膜、シリコン酸化膜の積層膜150が重ねられている。

【0035】

図3(d)は、通常のONO構造の層間絶縁膜150に対して更に、浮遊ゲート

ト 14 及び制御ゲート 16 に接する層として、JVD 法によるシリコン窒化膜 15 d, 15 e を形成した例である。即ち、図 3 (c) の ONO 構造の層間絶縁膜 150 の上に更にシリコン窒化膜 15 e が重ねられている。

この実施の形態によっても同様の効果が得られる。

【0036】

【発明の効果】

以上述べたようにこの発明によれば、積層ゲート構造を持つ不揮発性メモリの層間絶縁膜の中に、通常の LPCVD 法によるシリコン窒化膜よりトラップ準位密度が十分に低いシリコン窒化膜を用いることにより、電界緩和効果及びリーク低減の効果を発揮しながら、実効酸化膜厚を従来より小さくして、制御ゲートと浮遊ゲート間の大きな結合容量を確保することが可能になる。

【図面の簡単な説明】

【図 1】

この発明の実施の形態 1 によるメモリセル構造を示す。

【図 2】

この発明の実施の形態 2 によるメモリセル構造を示す。

【図 3】

この発明の実施の形態 3 によるメモリセルの層間絶縁膜構造を示す。

【図 4】

従来の不揮発性メモリのメモリセル構造を示す。

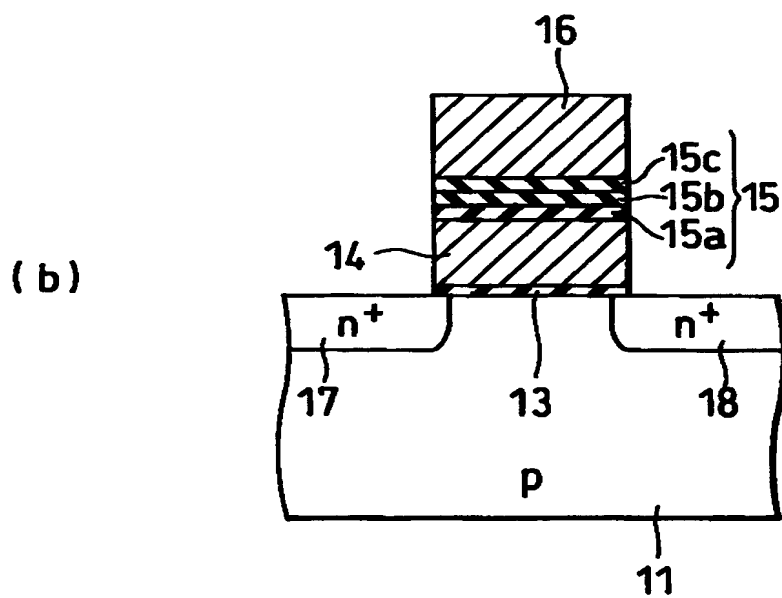
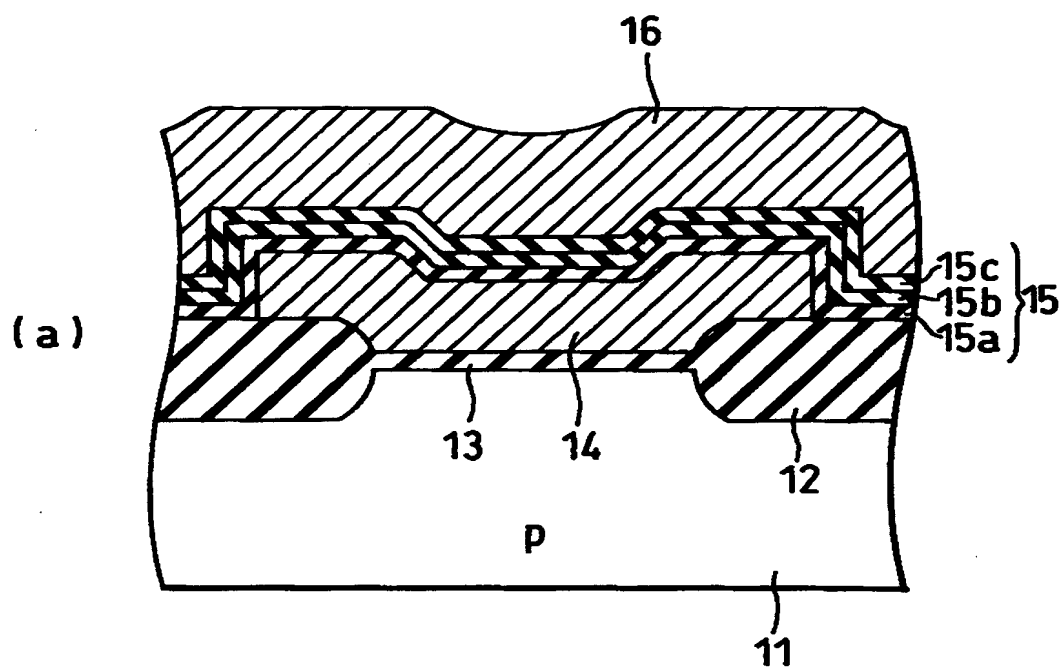
【符号の説明】

11…シリコン基板、12…素子分離絶縁膜、13…トンネル絶縁膜、14…浮遊ゲート、15…層間絶縁膜、15 a…シリコン酸化膜、15 b…第 1 のシリコン窒化膜、15 c…第 2 のシリコン窒化膜、16…制御ゲート、17, 18…ソース、ドレイン拡散層。

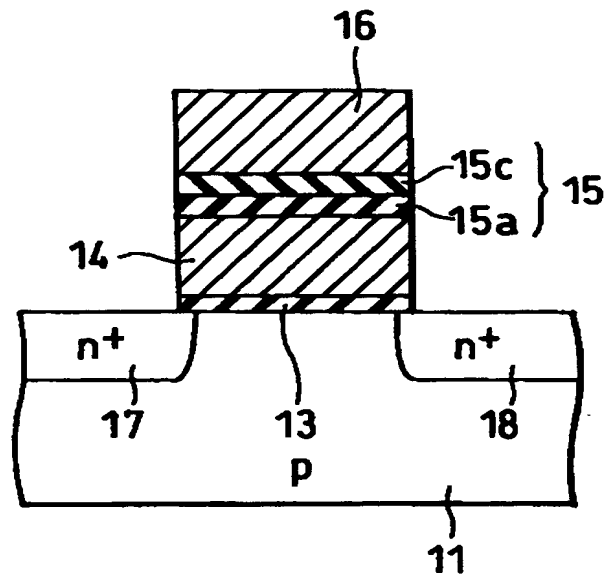
【書類名】

図面

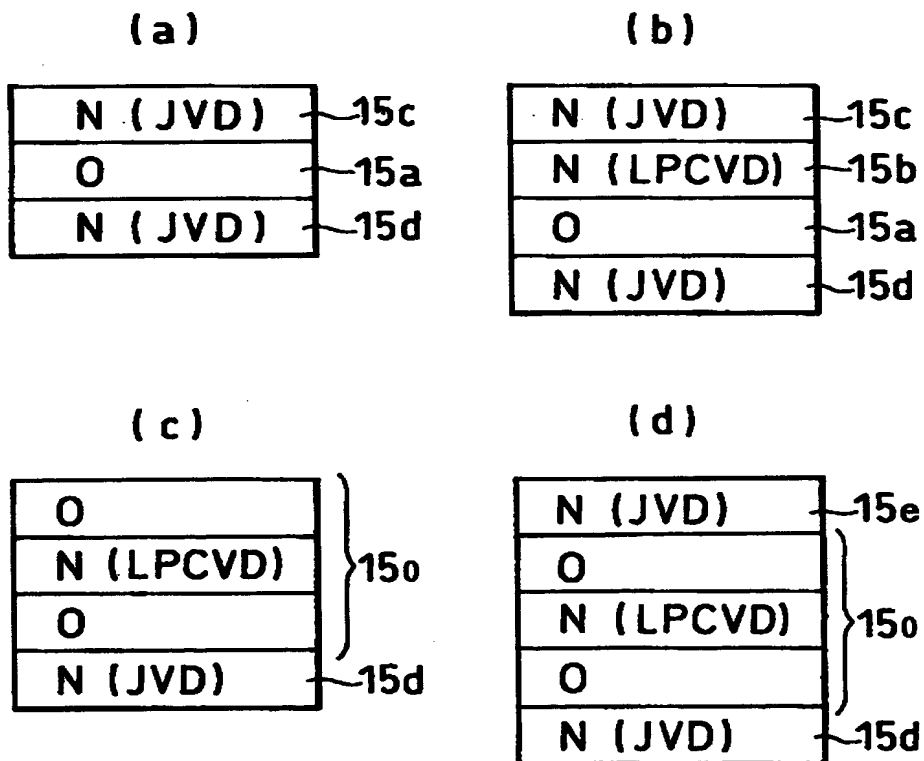
【図 1】



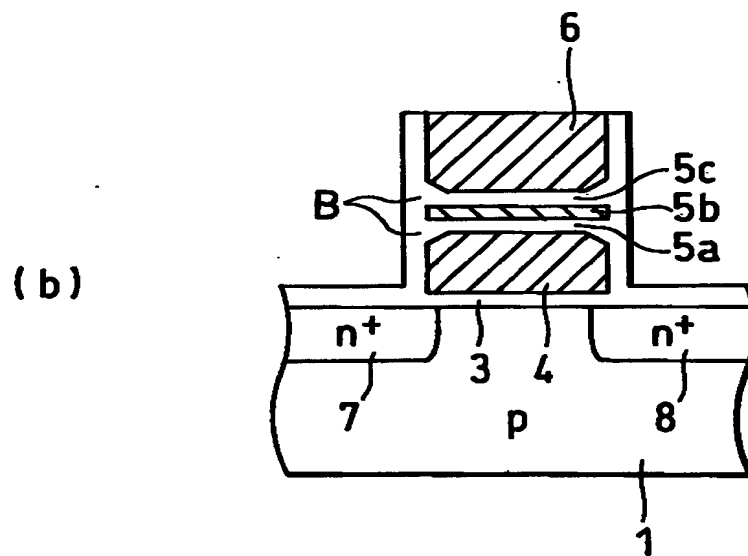
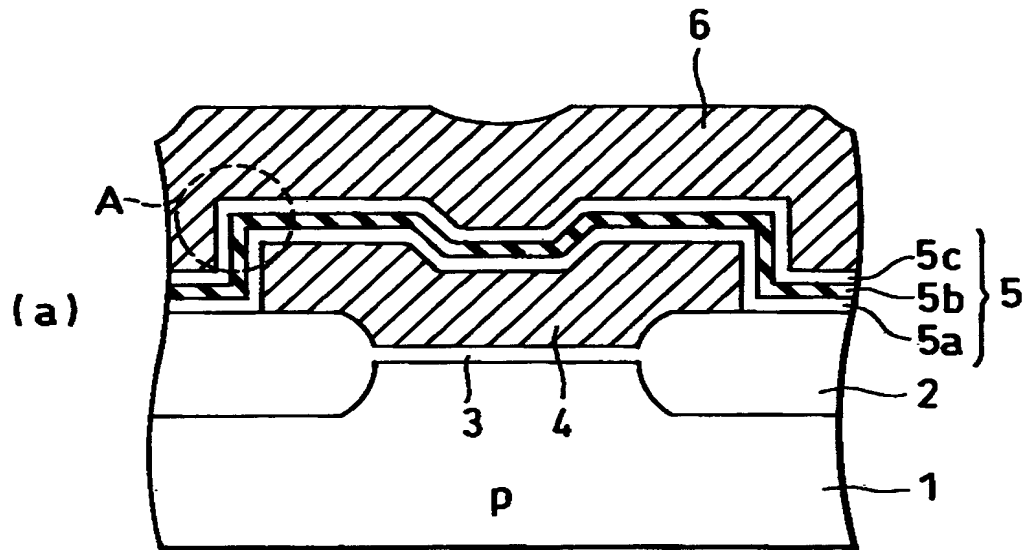
【図2】



【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 電界緩和効果とリーク防止機能を確保しながら、制御ゲートと浮遊ゲートの間の大きな結合容量をも確保できるようにした層間絶縁膜を持つ不揮発性半導体記憶装置を提供する。

【解決手段】 シリコン基板 11 と、基板 11 上にトンネル絶縁膜 13 を介して形成された浮遊ゲート 14 と、この浮遊ゲート 14 上に層間絶縁膜 15 を介して形成された制御ゲート 16 を有するメモリセルを用いた不揮発性半導体記憶装置において、層間絶縁膜 15 は、浮遊ゲート 14 に接するシリコン酸化膜 15a と、このシリコン酸化膜 15a 上に LPCVD 法により形成された第 1 のシリコン窒化膜 15b と、この第 1 のシリコン窒化膜 15b 上に JVD 法により形成された第 1 のシリコン窒化膜 15b よりトラップ密度の低い第 2 のシリコン窒化膜 15c とから構成した。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000003078

【住所又は居所】 神奈川県川崎市幸区堀川町7番地

【氏名又は名称】 株式会社東芝

【代理人】 申請人

【識別番号】 100092820

【住所又は居所】 東京都千代田区鍛冶町2丁目5番15号 神田小幡
ビル6階

【氏名又は名称】 伊丹 勝

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝